

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-115768

(P2003-115768A)

(43) 公開日 平成15年4月18日 (2003.4.18)

(51) Int.Cl.⁷

識別記号

FI

テ-マ-コード* (参考)

H03M 13/19

H03M 13/19

5J065

13/29

13/29

5K014

H04L 1/00

H04L 1/00

A

審査請求 有 請求項の数14 OL (全 13 頁)

(21) 出願番号 特願2002-199657 (P2002-199657)

(22) 出願日 平成14年7月9日 (2002.7.9)

(31) 優先権主張番号 09/902859

(32) 優先日 平成13年7月11日 (2001.7.11)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク ニュー オーチャード ロード

(74) 代理人 100086243

弁理士 坂口 博 (外2名)

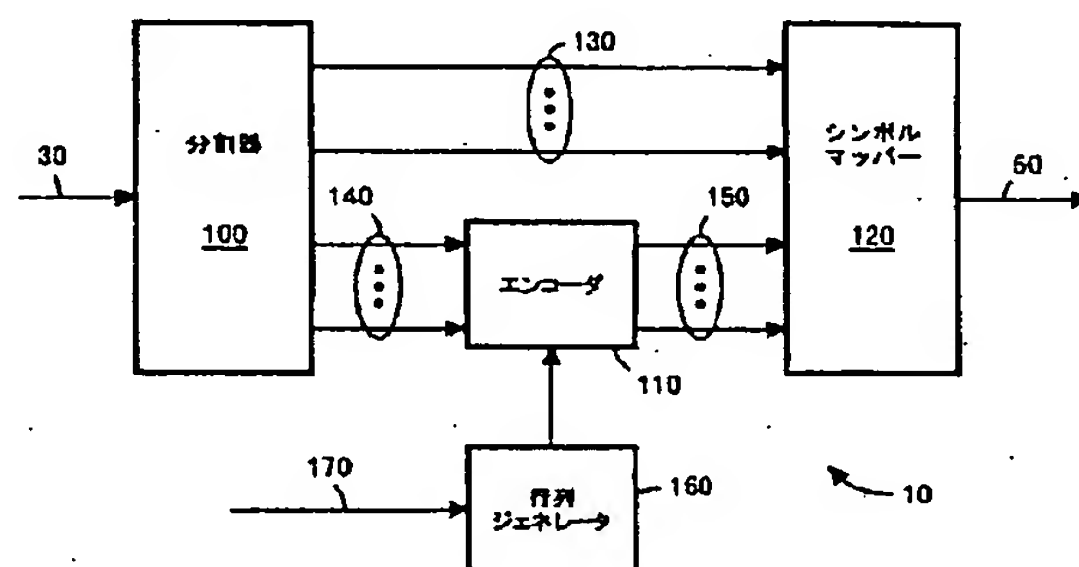
最終頁に続く

(54) 【発明の名称】 データの低密度パリティ検査符号化方法および装置

(57) 【要約】 (修正有)

【課題】 線形時間の符号化複雑さを有するLDPCコードにつながるパリティ検査行列を提供すること。

【解決手段】 データの低密度パリティ検査 (LDPC) 符号化の方法に、第1のM×Nパリティ検査行列を定義するステップと、第1パリティ検査行列に基づいて、M×M三角部分行列を有する第2パリティ検査行列を生成するステップと、第2パリティ検査行列に基づいてデータをLDPC符号語にマッピングするステップとが含まれる。この方法は、データ通信アプリケーションに特に有用であるが、たとえばデータ・ストレージなどの他のアプリケーションでも使用することができる。



【特許請求の範囲】

【請求項 1】データの低密度パリティ検査 (LDPC) 符号化の方法であって、

第 1 の $M \times N$ パリティ検査行列を定義するステップと、
前記第 1 のパリティ検査行列に基づいて、三角行列である $M \times M$ 部分行列を有する第 2 のパリティ検査行列を生成するステップと、
前記第 2 のパリティ検査行列に基づいて、前記データを LDPC 符号語にマッピングするステップと、
を含む方法。

【請求項 2】前記第 2 のパリティ検査行列から 4 サイクルを除去するステップをさらに含む、請求項 1 に記載の方法。

【請求項 3】前記第 1 のパリティ検査行列の前記定義が、前記第 1 のパリティ検査行列の行のサイクリック・シフトを含む、請求項 1 に記載の方法。

【請求項 4】前記 $M \times M$ 部分行列の主対角線に沿った要素に同一の値をセットするステップを含む、請求項 1 に記載の方法。

【請求項 5】データの低密度パリティ検査 (LDPC) 符号化装置であって、

第 1 の $M \times N$ パリティ検査行列を定義する手段と、
前記第 1 のパリティ検査行列に基づいて、三角行列である $M \times M$ 部分行列を有する第 2 のパリティ検査行列を生成する手段と、
前記第 2 のパリティ検査行列に基づいて、前記データを LDPC 符号語にマッピングする手段と、
を含む装置。

【請求項 6】前記第 2 のパリティ検査行列を生成する手段が、前記第 2 のパリティ検査行列から 4 サイクルを除去する手段をさらに含む、請求項 5 に記載の装置。

【請求項 7】前記第 1 のパリティ検査行列を定義する手段が、前記第 1 のパリティ検査行列の行をサイクリック・シフトする、請求項 5 に記載の装置。

【請求項 8】前記第 1 のパリティ検査行列を定義する手段が、前記 $M \times M$ 部分行列の主対角線に沿った要素に同一の値をセットする、請求項 5 に記載の装置。

【請求項 9】データの低密度パリティ検査 (LDPC) 符号化プログラムであって、前記符号化プログラムが、コンピュータ・システムに、

第 1 の $M \times N$ パリティ検査行列を定義する手順と、
前記第 1 のパリティ検査行列に基づいて、三角行列である $M \times M$ 部分行列を有する第 2 のパリティ検査行列を生成する手順と、
前記第 2 のパリティ検査行列に基づいて、前記データを LDPC 符号語にマッピングする手順と、
を実行させるプログラム。

【請求項 10】前記第 2 のパリティ検査行列から 4 サイクルを除去する手順をさらにコンピュータ・システムに実行させる、請求項 9 に記載のプログラム。

【請求項 11】前記第 1 のパリティ検査行列の定義が、前記第 1 のパリティ検査行列のサイクリック・シフトを含む、請求項 9 に記載のプログラム。

【請求項 12】データの低密度パリティ検査 (LDPC) 符号化プログラムを格納したコンピュータ読み取り可能な記憶媒体であって、前記符号化プログラムが、コンピュータ・システムに、

第 1 の $M \times N$ パリティ検査行列を定義する手順と、
前記第 1 のパリティ検査行列に基づいて、三角行列である $M \times M$ 部分行列を有する第 2 のパリティ検査行列を生成する手順と、

前記第 2 のパリティ検査行列に基づいて、前記データを LDPC 符号語にマッピングする手順と、
を実行させるプログラムを格納したコンピュータ読み取り可能な記憶媒体。

【請求項 13】通信チャネルを介して情報源から受信したデータを送信し、前記データを低密度パリティ検査 (LDPC) 符号語に符号化するデータ通信装置であって、

第 1 の $M \times N$ パリティ検査行列を定義する手段と、
前記第 1 のパリティ検査行列に基づいて、三角行列である $M \times M$ 部分行列を有する第 2 のパリティ検査行列を生成する手段と、

前記第 2 のパリティ検査行列に基づいて、前記データを LDPC 符号語にマッピングする手段と、
を含むデータ通信装置。

【請求項 14】データ・ストレージ・チャネル内の情報源から受信したデータを記憶し、前記データを低密度パリティ検査 (LDPC) 符号語に符号化するデータ記憶装置であって、

第 1 の $M \times N$ パリティ検査行列を定義する手段と、
前記第 1 のパリティ検査行列に基づいて、三角行列である $M \times M$ 部分行列を有する第 2 のパリティ検査行列を生成する手段と、

前記第 2 のパリティ検査行列に基づいて、前記データを LDPC 符号語にマッピングする手段と、
を含むデータ記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、全般的には、データの低密度パリティ検査 (LDPC) 符号化の方法および装置に関し、具体的には、データ通信および記憶システムのバイナリ変調およびマルチレベル変調のための LDPC 符号語へのデータのマッピングのためのパリティ検査行列に基づくデータのブロック符号化に関する。

【0002】

【従来の技術】「Low-density parity-check codes (ギャラガ (Gallager) 著/MIT Press/米国マサチューセッツ州ケンブリッジ/1963年)」に、メッセージパッシング・デコーダに基づいて、バイナリ入力加法性白

色ガウス雑音チャネル (AWGN) のチャネル容量に極めて近づくことができることが示された。それから、LDPC符号を多数の実用的な通信チャネルおよび記録チャネル上で容量に非常に近づけることができることが示された。したがって、LDPC符号は、ターボ符号の代替技術と考えられている。特に、LDPC符号は、ターボ符号よりすぐれた漸近性能を示し、エラー・フロアの影響が少なく、デコーダの複雑さと性能の間のさまざまなトレードオフを提供する。LDPC符号の長所は、その復号に使用されるsum-productアルゴリズムの実装があまり複雑でないことである。sum-productアルゴリズムの簡略化バージョン版では、完全なsum-product復号と比較して無視できる程度の復号性能の低下と引き換えに、複雑さが減らされる。

【0003】ハード・ディスクまたはテープ・システムなどの磁気記憶アプリケーションの多くでは、情報がバイナリ形式で記憶される。これらのアプリケーションでは、リード・ソロモン (Reed-Solomon) 外符号に接続 (concatenate) された変調内符号が、書き込まれた情報の信頼性の高い抽出のために使用される。ターボ符号およびLDPC符号は、磁気記憶システムの面密度を、現在の使用可能な磁気コンポーネントの限界まで押し上げることができる。ハード・ディスクの現在のセクタ・サイズの制約が符号のブロック長を制限し、高い符号化率を要求しているにもかかわらず、単純な反復復号方式によって理論限界の約1.5 dB以内に性能を高めることができることが示された。これは、既存のシステムと比較して重大な利得を表している。高効率LDPC符号は、磁気記憶システムの外符号として使用される時に、畳み込み符号またはターボ符号を超える利点を有すると思われる。たとえば、LDPC符号は、 10^{-8} のエラー率でエラー・フロアの影響を受けないと思われる。さらに、LDPC符号のパリティ検査行列のまばらさ (sparseness) によって、畳み込み外符号と直列に接続されたシステムと比較してより複雑でない復号アルゴリズムがもたらされる。また、インターリーブングがLDPC符号に潜在的に組み込まれているので、LDPCエンコーダとチャネルの間のインターリーブは不要である。磁気記憶チャネルに関する従来のリード・ソロモン符号に対するLDPC符号の潜在的な利益は、「Reduced-Complexity Iterative Decoding of Low Density Parity Check Codes for Generalized Partial Response Channels (ミッテルホルツァ (T. Mittelholzer)、ドラキア (A. Dholakia)、およびエレフテリオウ (E. Eleftheriou) 共著/IEEE Trans. Magn., 37(2), pp. 721-728/2001年3月)」に記載されている。LDPC符号によって、磁気記憶システムでは、面密度がその究極の限界まで押し上げられると期待される。

【0004】有線伝送システムおよび無線伝送システムを含む多くの通信システムには、伝送信号帯域幅に対す

る厳格な制限がある。そのような制限によって、2より多数のレベルを有する信号変調の必要が生じる。多くの従来のシステムでは、そのようなアプリケーションでトレリス符号化変調 (TCM) が使用される。しかし、TCMに関連する問題は、それが反復復号に適さないことである。したがって、許容可能な複雑さでの信号品質のさらなる改善は、達成が困難である。

【0005】「A turbo TCM scheme with low decoding complexity (Catena Networks Inc./Temporary Document BI-090, ITU-T Study Group 15, Question 4/インド/ゴア/2000年10月23から27日)」、「Proposal of decision making for turbo coding and report of performance evaluation of proposed TTCM (PCC C) with R-S code and without R-S code (Mitsubishi Electric Corp./Temporary Document BI-003, ITU-T Study Group 15/インド、ゴア/2000年10月23から27日)」および「Results of the requirements requested in the coding ad hoc report (Vocal Technologies Inc./Temporary Document HC-073, ITU-T Study Group 15, Question 4/カナダ、ハンツビル/2000年6月31日から8月4日)」に、マルチレベルADSL伝送およびマルチレベルVDSL伝送のターボ符号化方式が記載されている。これらのターボ符号化技法では、再帰的な規則正しい形での畳み込みエンコーダの並列接続 (parallel concatenation) による情報ビットの符号化と、複数の可能なターボ復号技法の1つによる反復復号が用いられる。「Block product turbo codes for G.dmt.bis and G.lite.bis (Globespan Inc./Temporary Document BA-063, ITU-T Study Group 15, Question 4/ベルギー、アントワープ/2000年6月19から23日)」に、コンポーネントBose-Chaudhuri-Hocquenghem (BCH) 符号を使用するブロック・プロダクト・コードおよびChaseアルゴリズムに基づくそのソフト反復復号のアプリケーションが記載されている。さらなる複雑さが生じるものの、これらの技法はトレリス符号化に対するある程度の性能強化を提供する。

【0006】「Low-density parity-check codes (ギャラガ (R. G. Gallager) 著/IRE Trans. Info. Theory, vol. IT-8, pp. 21-28/1962年1月)」、「Near Shannon limit performance of low density parity check codes (マッケイ (D. J. C. MacKay) およびニール (R. M. Neal) 共著/Electron. Lett., vol. 32, no. 18, pp. 1645-1646/1996年8月)」、「Good error-correcting codes based on very sparse matrices (マッケイ (D. J. C. MacKay) 著/IEEE Trans. on Inform. Theory, vol. 45, No. 2, pp. 399-431/1999年3月)」および「Reduced complexity iterative decoding of low density parity check codes based on belief propagation (フォッソリア (FOSSORIER, M. P. C.)、ミハルジェビク (MIHALJEVIC, M.) およびイマ

イ (IMAI, H.) 共著/IEEE Trans. Commun., 1999, 47, (5), pp. 673-680)」に記載されている、LDPC符号の代替の符号化技法に関するアプリケーション開発は、これまで無線システムまたはデジタル磁気記録などのバイナリ変調を必要とするアプリケーションに焦点を合わせてきた。しかし、LDPC符号はマルチレベル伝送にも適用することができる。

【0007】「Bandwidth efficient low density parity check coding using multilevel coding and iterative multistage decoding (ナラヤナン (K. R. Narayan) およびリー (J. Li) 共著/Proc. Int. Symp. on Turbo-Codes, pp. 165-168/フランス、ブレスト/2000年9月)」に、バイナリLDPCブロック符号に基づくマルチレベル符号化技法が記載されている。この技法では、ビット・インターリーブ式変調または反復マルチステージ復号を伴うマルチレベル符号化に、LDPCブロック符号が使用される。この技法によるビット・インターリーブ式LDPC変調の場合、マルチレベル・シンボルの選択に使用されるビットのすべてが、LDPC符号ビットである。マルチレベル符号化に関して、複数のLDPCブロック符号が、マルチレベル方式のコンポーネント・コードとして使用される。この技法は、複数のLDPCエンコーダ/デコーダを必要とし、特に長いコードまたは大きいコンステレーション・サイズの場合にかなり実装が複雑となるという短所を有する。

【0008】「Low density parity check coded modulation for ADSL (Aware Inc./Temporary Document B1-081, ITU-T Study Group 15, Question 4/インド、ゴア/2000年10月23から27日)」にも、バイナリLDPCブロック符号に基づくマルチレベル符号化技法が記載されている。この技法は、TCMに類似するが、畳み込み符号化の代わりにLDPC符号化が使用されることが異なる。具体的に言うと、set partitioningが、TCMで使用されるものと同一の原理に従う。この技法は、追加のBose-Chaudhuri-Hoenguenhem (BCH) 符号を必要とし、これによってシステムの複雑になるという短所を有する。また、TCMおよび類似の方式で必要なset partitioningは、軟(ソフト)判定ベースの復号技法について劣悪な性能につながる。

【0009】「Temporary Document RN-25 (ITU Telecommunications Standardization Sector, Study Group 15/米国ニュー・ジャージー/2001年5月21から25日)」に、決定的(deterministic) LDPC方法と、ADSL伝送およびADSL Lite伝送へのそのアプリケーションが記載されている。ここで提案された方法は、例えば、ガウス消去法を使用する、生成行列の事前の計算を必要とする。符号化には、 $O(N^2)$ 個の演算が必要となる。

【0010】送信される情報ビットの組を第1のグループおよび第2のグループに分割するステップと、ブロッ

ク符号を生成するために第1のグループを符号化するステップと、グレイコード化されたマッピング関数(Gray-coded mapping function)に従ってブロック・コードに依存するシンボルのコンステレーション内のシンボルのサブセットを選択するステップと、グレイコード化されたマッピング関数に従って第2のグループに依存するサブセット内のシンボルを選択するステップと、選択されたシンボルを送信するステップとを含むマルチレベル・データ通信の方法が存在する。この方法は、達成可能な符号化利得に関して優れた性能を提供する。符号化利得が生じるのは、ブロック符号化方式を反復的に復号することができ、これによって、トレリス符号化変調と比較してかなりの性能利得がもたらされるからである。この方法の特に好ましい実施形態には、インターリーブを必要としない、単純なsum-productアルゴリズム(SPA)またはその複雑さの低い派生技術を介して復号することができるLDPC符号またはシンプル・プロダクト・コードに基づくマルチレベル符号化方式が含まれる。

【0011】LDPC符号に関連する不利益は、比較的高い符号化の複雑さが必要になることである。LDPC符号語が情報ブロックに符号の生成行列(generator matrix of the code)をかけることによって得られる場合、符号化には、 $O(N^2)$ 個の演算が必要である(N は符号長を表す)。そのような符号化の手順は「時間的に線形(linear in time)」ではない。さらに、指定されたLDPCパリティ検査行列から符号の生成行列を計算するために、前処理ステップが必要である。生成行列の計算には、ガウス消去法が含まれ、これは、 O

(N^3)個の演算を必要とする。前処理は、特定のLDPC検査行列について1回実行され、オフラインで実行され得るが、パリティ検査行列の系列(family)の1つの選択を必要とするアプリケーションに関する復号の時に、計算コストが極端に高くなる可能性がある。このことは、例えば、符号が接続ごとに選択されるxDSLの場合が該当する。LDPC符号の効率的な符号化に関する話題は、「Low density parity check codes with semi-random parity check matrix (ピン (L. Ping)、レウン (W. K. Leung)、およびファムド (N. Phamdo) 共著/Electron. Letters, Vol. 35, No. 1, pp. 38-39/1999年1月7日)」、「Comparison of constructions of irregular Gallager codes (マッケイ (D. J. C. MacKay)、ウィルソン (S. T. Wilson)、およびダベイ (M. C. Davey) 共著/IEEE Trans. on Communications, Vol. 47, No. 10, pp. 1449-1454/1999年10月)」および「Efficient encoding of low-density parity-check codes (リチャードソン (R. Richardson) およびウルバンケ (R. L. Urbanke) 共著/IEEE Trans. on Information Theory, Vol. 47, No. 2, pp. 638-656/2001年2月)」に示されている。

【0012】「Low density parity check codes with

semi-random parity check matrix (ピン (L. Ping)、
レウン (W. K. Leung) およびファムド (N. Phamdo) 共
著/Electron. Letters, Vol. 35, No. 1, pp. 38-39/
1999年1月7日)」では、LDPC符号のパリティ
検査行列が、決定的部分 (deterministic part) とラン
ダム部分 (random part) を含むという意味で「セミラ
ンダム」である。決定的部分は、効率的な符号化を可能
にするために、帯状対角線すなわち「ジグザグ」形 (ba
nd-diagonal or "zig-zag" form) である。パリティ検
査行列の残りは、4サイクルを避けてランダムに作成さ
れる。「Comparison of constructions of irregular G
allager codes (マッケイ (D. J. C. MacKay)、ウィル
ソン (S. T. Wilson) およびダベイ (M. C. Davey) 共
著/IEEE Trans. on Communications, Vol. 47, No. 1
0, pp. 1449-1454/1999年10月)」および「Effi
cient encoding of low-density parity-check codes
(リチャードソン (R. Richardson) およびウルバンケ
(R. L. Urbanke) 共著/IEEE Trans. on Information T
heory, Vol. 47, No. 2, pp. 638-656/2001年2
月)」では、パリティ検査行列が、やはりランダム構成
によって生成され、三角行列 (triangular) または「ほ
ぼ三角行列 (approximate triangular)」であること
が、効率的な符号化を可能にするために課せられる。こ
れらの構成はそれぞれ、線形時間で符号化可能なLDPC
符号につながる。しかし、これには、下記を含む複数の
短所がある。

(a) ランダムに構成されたパリティ検査符号は、少数
のパラメータを介して指定することができない。言い換
えると、パリティ検査行列の0でない要素のすべての位
置を、個別に与えなければならない。

(b) パリティ検査行列を三角行列またはほぼ三角行列
にするために、しばしば前処理が必要になる。

(c) 得られる符号が、ランダムに構成されたLDPC
符号と比較して低い性能をもたらす。

【0013】

【発明が解決しようとする課題】線形時間の符号化の複
雑さを有するLDPC符号につながるパリティ検査行列
を提供することが望ましい。また、完全に決定的 (deter
ministic) であり、少数のパラメータを介して指定で
きるパリティ検査行列を提供することが望ましい。ま
た、最小量の前処理を必要とするか前処理が不要なパリ
ティ検査行列を提供することが望ましい。

【0014】

【課題を解決するための手段】本発明によれば、データ
の低密度パリティ検査 (LDPC) 符号化の方法であつ
て、第1の $M \times N$ パリティ検査行列を定義するステップ
と、第1の $M \times N$ パリティ検査行列に基づいて、三角行
列である $M \times M$ 部分行列を有する第2のパリティ検査行
列を生成するステップと、第2のパリティ検査行列に基
づいてデータをLDPC符号語にマッピングするステッ

プとを含む方法が提供される。

【0015】この方法には、さらに、第2のパリティ検
査行列から4サイクルを除去するステップを含めること
ができる。代替案では、パリティ検査行列の定義に、最
初から4サイクルを除去するために、第1のパリティ検
査行列の行のサイクリック・シフトを含めることができ
る。本発明の好ましい実施形態には、 $M \times M$ 部分行列の
主対角線に沿った要素に同一の値をセットするステップ
が含まれる。

10 【0016】もう1つの態様から本発明を見ると、第1
の $M \times N$ パリティ検査行列を定義する手段と、第1の M
 $\times N$ パリティ検査行列に基づいて、三角行列である $M \times$
 M 部分行列を有する第2のパリティ検査行列を生成する
手段と、第2のパリティ検査行列に基づいてデータをLD
PC符号語にマッピングする手段とを含む、データの
低密度パリティ検査 (LDPC) 符号化装置が提供され
る。

20 【0017】もう1つの態様から本発明を見ると、デー
タの低密度パリティ検査 (LDPC) 符号化プログラム
であつて、前記符号化プログラムが、コンピュータ・シ
ステムに、第1の $M \times N$ パリティ検査行列を定義する手
順と、第1の $M \times N$ パリティ検査行列に基づいて、三角
行列である $M \times M$ 部分行列を有する第2のパリティ検査
行列を生成する手順と、第2のパリティ検査行列に基づ
いて、データをLDPC符号語にマッピングする手順と
を実行させるプログラムが提供される。また、そのよう
なプログラムを格納したコンピュータ読み取り可能な記
憶媒体が提供可能であることは勿論である。

30 【0018】本発明は、通信チャネルを介して情報源か
ら受信したデータを送信し、前記データを低密度パリ
ティ検査 (LDPC) 符号語に符号化するデータ送信装置
であつて、第1の $M \times N$ パリティ検査行列を定義する手
段と、第1の $M \times N$ パリティ検査行列に基づいて、三角
行列である $M \times M$ 部分行列を有する第2のパリティ検査
行列を生成する手段と、第2のパリティ検査行列に基づ
いて、データをLDPC符号語にマッピングする手段と
を含む、データ送信装置にも拡張され得る。

40 【0019】本発明は、さらに、データ・ストレージ・
チャネル内の情報源から受信したデータを記憶し、前記
データが低密度パリティ検査 (LDPC) 符号語に符号
化され、第1の $M \times N$ パリティ検査行列を定義する手段
と、第1の $M \times N$ パリティ検査行列に基づいて、三角行
列である $M \times M$ 部分行列を有する第2のパリティ検査行
列を生成する手段と、第2のパリティ検査行列に基づい
て、データをLDPC符号語にマッピングする手段とを
含む、データ記憶装置に拡張され得る。

50 【0020】したがって、提供されるパリティ検査行列
は、線形時間の符号化複雑さを有するLDPC符号につ
ながる。そのような行列は、完全に決定的であり、少数
のパラメータを介して指定することができる。また、そ

のような行列は、最小量の前処理を必要とするか前処理が不要である。得られるコードの性能は、ランダムに構成されるLDPC符号と同等またはそれ以上である。

【0021】これから説明する本発明の好ましい実施形態は、いわゆる「アレイ・コード」についてパリティ検査行列の構成を使用する。アレイ・コードは、「Array codes (ブラウム (M. Blaum)、ファレル (P. Farrel) およびティルボグ (H. van Tilborg) 共著/Handbook of Coding Theory, V. S. Pless and W. C. Huffman Eds., Elsevier/1998年)」に記載されている。LDPCパリティ検査行列を得るためのアレイ・コードの構成の直接の適用は、「Array codes as low-density parity-check codes (ファン (J. L. Fan)/Proc. Int. Symp. on Turbo Codes, pp. 543-546/フランス、ブレスト/2000年9月)」および「LDPC codes for G. dmt.bis and G. lite.bis (エルフテリオウ (E. Eleftheriou) およびエルセール (S. Oelcer) 共著/International Telecommunication Union, ITU-T, Study Group 15 / Question 4, Temporary Document CF-060/米国フロリダ州クリアウォーター/2001年1月8から12日)」に記載されている。最後に述べた2つの参考文献の符号は、少数のパラメータを介して指定されるが、線形時間で符号化することはできない。

【0022】

【発明の実施の形態】以下に、例示のみを目的として、添付図面を参照して本発明の好ましい実施形態を説明する。

【0023】以下では、

【数1】

\tilde{H}

を「チルダH」と呼称する。

【0024】まず図1を参照すると、本発明の好ましい実施形態には、デジタル加入者線(DSL)通信チャネルなどの通信チャネル20を介して受信機(図示せず)に接続される送信装置10が含まれる。動作中に、送信装置10は、コンピュータ・システム、携帯電話、固定回線電話、または類似するデータ通信端点などの情報源40から情報ビット30のシーケンスを受信する。送信装置10は、通信チャネル20を介して受信機に送信するために、情報ビット30をシンボル50に変換する。

【0025】図2を参照すると、本発明の特に好ましい実施形態では、送信装置10に、分割器100、分割器100に接続されたブロック・エンコーダであるエンコーダ110、およびエンコーダ110と分割器100に接続されたシンボル・マッパー120が含まれる。パリティ検査行列の行列ジェネレータ160が、エンコーダ110に接続される。動作中、分割器100は、各変調

の時に、情報源40から通信される情報ビット30の組を、第1のグループ130および第2のグループ140に分割する。エンコーダ110は、第2のグループ140を符号化して、行列ジェネレータによって供給されるパリティ検査行列に基づいてブロック符号150を生成する。パリティ検査行列は、コード・パラメータ170に基づいて行列ジェネレータによって生成される。シンボル・マッパー120は、グレイコード化されたマッピング関数に従って、ブロック符号150に依存するシンボルのコンステレーション内のシンボルのサブセットを選択する。シンボル・マッパー120は、グレイコード化されたマッピング関数に従って、第1のグループ130に依存する、サブセット内のシンボルも選択する。選択されたシンボル50が、通信チャネル20を介して受信機に通信される。分割器100は、シフト・レジスタまたは類似する論理機能によって実施することができる。送信装置10を、(1)ハードワイヤード・ロジック(結線論理)によって、(2)コンピュータ・プログラム・コードを用いてプログラムされた汎用プロセッサ/専用デジタル信号プロセッサによって、または(3)ハードワイヤード・ロジックとコンピュータ・プログラム・コードの組み合わせによって、実施できることに留意されたい。

【0026】図3を参照すると、図2に関して既に本明細書で説明した送信装置10の変更形態では、分割器100が省略され、エンコーダ110が、情報源40から受信した情報ビット30のすべてを符号化して、ブロック符号150を生成する。シンボル・マッパー120が、グレイコード化されたマッピング関数に従って、ブロック符号150に依存するシンボルのコンステレーション内のシンボルを選択する。選択されたシンボル50が、通信チャネル20を介して受信機に通信される。

【0027】図4を参照すると、本発明の好ましい実施形態では、行列ジェネレータ160に、三角行列ジェネレータ310に接続された行列定義ロジック300が含まれる。図5を参照すると、ステップ350で、動作中、行列定義ロジック300が、入力のコッド・パラメータ170に基づいて第1のM×Nパリティ検査行列320を定義する。ステップ360で、三角行列ジェネレータ310が、第1の行列に基づいて第2の行列を生成する。第2の行列は、M×Mの三角行列である部分行列を有する。ステップ370で、第2の行列が、行列ジェネレータ160からエンコーダ110に供給される。エンコーダ110へのデータ入力が、第2の行列に基づいてLDPC符号語にマッピングされる。本発明の好ましい実施形態でのパリティ検査行列の定義および三角行列の生成の2つの手法を、図6および図7に関してこれから説明する。

【0028】図6を参照すると、本発明の好ましい実施形態では、行列生成に、3つのステップ、1、2、およ

び3が含まれる。ステップ1では、行列Hを、アレイ・コードに関するパリティ検査行列 (parity-check matrices for array codes) の定義に従って定義する。ステップ2は、上三角構造 (upper-triangular structure) を実現するために行列Hを決定的に修正する三角化 (triangularization) ステップである。ステップ3には、第2のステップで導入された可能性がある4サイクルを除去する単純な手順が含まれる。

【0029】<ステップ1：Hの定義 (Definition of H)>アレイ・コード風のLDPCパリティ検査行列Hは、3つのパラメータすなわち、素数pと2つの整数k, j (k, j ≤ p) によって定義される。行列Hは、次元j p × k pを有し、次式によって与えられる。

【数2】

$$H = \begin{bmatrix} I & I & I & \cdots & I \\ I & a & a^2 & \cdots & a^{k-1} \\ I & a^2 & a^4 & \cdots & a^{2(k-1)} \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ I & a^{j-1} & a^{2(j-1)} & \cdots & a^{(j-1)(k-1)} \end{bmatrix}$$

ここで、Iは、p × p単位行列であり、aは、シングル・レフト (またはライト) ・サイクリック・シフトを表すp × p置換行列であり、例えば、

【数3】

$$a = \begin{bmatrix} 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 0 \end{bmatrix} \quad \text{または} \quad a = \begin{bmatrix} 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \end{bmatrix}$$

である。パラメータj, kは、それぞれHの列数および行数を提供する。構成により、行列Hは、4サイクル・フリー (4サイクルなしの状態) である。言い換えるならば、複数の位置にオーバーラップする1を有する行はない。

【0030】Hは、符号語長N = k pとパリティ検査数M = j pを有するLDPC符号の系列のパリティ検査行列を表す。符号語長N' (< N) またはパリティ検査数M' (< M) を有するLDPC符号は、Hの右端の(N - N') 列および下端の(M - M') 行を破棄することによって簡単に得られる。結果として得られるM' × N' 行列が、使用される行列のサイズの明白な修正と共に、ステップ2および3でHの代わりに使用される。

【0031】<ステップ2：Hの三角化 (Triangularization of H)>Hが、ブロック行列形式

$$H = [H_1 | H_2]$$

で表され、H₁が、次元j p × j pを有し、H₂が、次元j p × (k - j) pを有するものとする。Uが、H₁の主対角線 (main diagonal) 上の各要素を1に置換し、

主対角線の下すべての要素に0をセットすることによってH₁から得られるj p × j pの上三角行列であるものとする。j p × k pの行列

$$H_u = [U | H_2]$$

によって、線形時間で符号化可能なLDPC符号のパリティ検査行列が定義される。

【0032】行列Hが、構成によって4サイクルがないが、H_uが、上三角行列Uを導入したことに起因して、4サイクル・フリーではない場合があることに留意されたい。しかし、4サイクルは、次のステップで示されるように、簡単に検出され、除去される。

【0033】<ステップ3：4サイクルの除去 (Elimination of 4-cycles)>A = H_u · H_u^Tであるものとする。ただし、Tは行列転置を表す。Aの対角要素

a_{m,m}, m = 1, ..., j pによって、行mのハミング重さ、すなわち、行列H_uのパリティ検査mによって検査されるシンボルの数が与えられる。非対角要素a_{m,n}, m, n = 1, ..., j p, m ≠ nによって、パリティ検査mおよびパリティ検査nの両方によって検査されるシンボルの数が与えられる。4サイクルなしでは、a_{m,n} ≤ 1である。

【0034】したがって、パリティ検査行列が4サイクル・フリーであることを保証するためには、(a) A = H_u · H_u^Tの下三角部分 (lower-triangular part) を計算し、(b) a_{m,n} > 1、(m, n = 1, ..., j p; m < n) の場合に、H_uの第(n, m) 要素に0をセットする。

【0035】チルダH_uによって、ステップ3の最後に得られる行列を表す。チルダH_uによって定義されるLDPC符号は、符号語長N = k p、パリティ検査数M = j p、および情報ブロック長K = (k - j) pを有する。チルダH_uを使用することによる線形時間符号化の可能性を、次に示す。

【0036】効率的な符号化は、符号の生成行列を計算する必要なしに、パリティ検査行列チルダH_uから直接に達成される。LDPC符号が線形ブロック符号なので、Nタプル (N-tuple) xは、0がM × 1の零ベクトルであるものとして、チルダH_u · x = 0の場合に限ってLDPC符号語になる。このベクトルxは、次の形で表すことができる。

【数4】

$$x = \begin{bmatrix} p \\ s \end{bmatrix}$$

ここで、j p × 1のベクトルpが、符号語xのパリティ部分、(k - j) p × 1のベクトルsが、符号語xの組織的部分を表す。pのj p個のパリティ・ビットは、

【数5】

$$\tilde{H}_u \bullet \left[\frac{P}{s} \right] = 0$$

を使用し、チルダHuの上三角形式を使用することによって、再帰的な形で得られる。これを示すために、ベクトルpおよびsの両方が、 $p \times 1$ の部分ベクトルに分割されるものとする。

【数6】

$$p = \begin{bmatrix} p_1 \\ p_2 \\ \vdots \\ p_j \end{bmatrix} \quad \text{および} \quad s = \begin{bmatrix} s_1 \\ s_2 \\ \vdots \\ s_{k-j} \end{bmatrix}$$

ここで、 $p_i = \{p_{i,n}; n=1, 2, \dots, p\}$ 、 $i=1, 2, \dots, j$ であり、 $s_i = \{s_{i,n}; n=1, 2, \dots, p\}$ 、 $i=1, 2, \dots, k-j$ である。すると、p 20 mの要素が、下記の再帰の組によって、 $m=j, j-1, \dots, 1$ について得られる。

【数7】

$$p_{m,p} = \sum_{\ell=m+1}^j p_{\ell,\dots} + \sum_{\ell=1}^{k-j} s_{\ell,\dots}$$

$$p_{m,p-1} = (p_{m,p}) + \sum_{\ell=m+1}^j p_{\ell,\dots} + \sum_{\ell=1}^{k-j} s_{\ell,\dots}$$

$$\vdots$$

$$p_{m,1} = (p_{m,\dots}) + \sum_{\ell=m+1}^j p_{\ell,\dots} + \sum_{\ell=1}^{k-j} s_{\ell,\dots}$$

$$H^s = \begin{bmatrix} I & I & I & \dots & I & I & \dots & I \\ a^{k-1} & I & a & \dots & a^{j-2} & a^{j-1} & & a^{k-2} \\ a^{2(k-2)} & a^{2(k-1)} & I & \dots & a^{2(j-3)} & a^{2(j-2)} & & a^{2(k-3)} \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots & & \vdots \\ a^{(j-1)(k-j+1)} & a^{(j-1)(k-j+2)} & \dots & \dots & I & a^{j-1} & \dots & a^{(j-1)(k-1)} \end{bmatrix}$$

H^s は、サイクリック・シフトのみを介してHから得られたので、それぞれjおよびkによって与えられる列および行の重さを有し、4サイクルフリーである。

【0040】＜ステップ2' : H^s の三角化 (Triangularization of H^s)＞行列 H^s は、左端の $j \times j$ 個の

(8)

特開2003-115768

*ここで、第2の添字、 p_1, \dots および s_1, \dots は、行列aのべきによって割り当てられる特定の値に依存するが、表記が長くならないように省略されたものである。括弧内に示された項は、やはり行列aのべきの特定の値に依存して、実際には存在しない場合がある。

【0037】したがって、上の符号化処理は、パリティ検査行列チルダHuの三角形構造 (triangular structure) およびそのまばらさ (sparsity) を利用している。rが符号化率であるものとして、符号化が約

10 【数8】

$$\frac{N}{2} \left[j(1+r) + \left(1 - \frac{4}{j} \right) (1-r) \right]$$

回のXOR演算を必要とすることを示すことができる。

【0038】図7を参照すると、図6に関して既に説明した手法の変形態態に、2つのステップ1' および2' が含まれる。ステップ1' および2' を、これから詳細に説明する。

【0039】＜ステップ1' : H^s の定義 (Definition of H^s)＞行列 H^s は、ブロック単位の形で、行列Hの行をサイクリック・シフトすることによって定義される。各ブロック行のサイクリック・シフトの量は、 H^s の左端の $j \times j$ 個のサブ・ブロックに、その対角線に沿って単位行列Iが含まれるようになる量である。

【数9】

30

サブ・ブロックの下三角要素を0に置換することによって三角化される。その結果、下記の行列 H_u^s が得られる。

【数10】

$$H_U^s = \begin{bmatrix} I & I & I & \dots & I & I & \dots & I \\ O & I & a & \dots & a^{j-2} & a^{j-1} & \dots & a^{k-2} \\ O & O & I & \dots & a^{2(j-3)} & a^{2(j-2)} & \dots & a^{2(k-3)} \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots & \ddots & \vdots \\ O & O & \dots & O & I & a^{j-1} & \dots & a^{(j-1)(k-1)} \end{bmatrix}$$

ここで、Oは、 $p \times p$ の零行列である。

【0041】 H_U^s によって定義されるLDPC符号は、符号語長 $N = kp$ 、パリティ検査数 $M = jp$ 、および情報ブロック長 $K = (k-j)p$ を有する。また、 H_U^s は、4サイクル・フリーである。明らかに、 H_U^s によって定義されるLDPC符号は、線形時間での符号化が可能である。

【0042】符号語長 N' ($< N$) またはパリティ検査数 M' ($< M$) を有するLDPC符号は、 H_U^s の右端の $(N-N')$ 列および下端の $(M-M')$ 行を破棄することによって、簡単に得られる。

【0043】効率的な符号化は、図6に関して前に説明した手法に関して前に説明したものと同一の形で達成される。 r が符号化率であるものとして、

【数11】

$$\frac{N}{2} [r(j+3) + (j-3)]$$

回のXOR演算が必要であることを示すことができる。

【0044】図6および7に関して本明細書で前に説明した本発明の実施形態で得られるパリティ検査行列は、三角行列を有する。「Comparison of constructions of irregular Gallager codes (マッケイ (D. J. C. MacKay)、ウィルソン (S. T. Wilson) およびダベイ (M. C. Davey) 共著/IEEE Trans. on Communications, Vol. 47, No. 10, pp. 1449-1454/1999年10月)」と、「Efficient encoding of low-density parity-check codes/リチャードソン (R. Richardson) およびウルバンケ (R. L. Urbanke) 共著/IEEE Trans. on Information Theory, Vol. 47, No. 2, pp. 638-656/2001年2月)」に、「ほぼ三角形」の形

【数12】

$$\begin{bmatrix} C & D \\ T & E \end{bmatrix}$$

(C、D、E、およびTは適当な次元の行列であり、T行列が上三角行列である。) のパリティ検査行列を有するLDPC符号についても、高速な符号化が可能である

ことが示されている。そのような形は、図6および7に関して本明細書で前に説明した手法を一般化することによって、効率的に得ることができる。

【0045】たとえば、図6に関して本明細書で前に説明した手法に従う場合には、ほぼ三角行列を生成するために、ステップ1は同一のままであるが、行列Hを、ブロック行列形式で

【数13】

$$H = \begin{bmatrix} H_3 & H_4 \\ H_5 & H_6 \end{bmatrix}$$

として同等に記述することができる。ここで、 H_5 は、 $t \cdot p \times t \cdot p$ の行列であり、整数 $t \leq j$ であり、行列 H_3 、 H_4 、および H_6 は、適当な次元を有する。ステップ2に類似する三角化ステップを、 H_5 に適用する。 U_5 が、 H_5 の主対角線の各要素を1に置換し、主対角線の下すべての要素に0をセットすることによって H_5 から得られる $t \cdot p \times t \cdot p$ 上三角行列であるものとする。

【0046】 $j \cdot p \times k \cdot p$ の行列

【数14】

$$\begin{bmatrix} H_3 & H_4 \\ U_5 & H_6 \end{bmatrix}$$

は、ほぼ三角行列であり、したがって、これによって、前述の「Comparison of constructions of irregular Gallager codes (マッケイ (D. J. C. MacKay)、ウィルソン (S. T. Wilson) およびダベイ (M. C. Davey) 共著/IEEE Trans. on Communications, Vol. 47, No. 10, pp. 1449-1454/1999年10月)」と、「Efficient encoding of low-density parity-check codes (リチャードソン (R. Richardson) およびウルバンケ (R. L. Urbanke) 共著/IEEE Trans. on Information Theory, Vol. 47, No. 2, pp. 638-656/2001年2月)」による高速な符号化が可能なLDPC符号のパリティ検査行列が定義される。その後、ステップ3をこのほぼ三角形の行列に適用して、4サイクルを除去する。

【0047】明らかに、ステップ1の行列Hを、行方向および列方向に切り詰めて、符号語長およびパリティ検査数の特定の値を実現することができる。

【0048】前に示したように、図7に関して本明細書で前に説明した手法も、ほぼ三角形のパリティ検査行列を得るのに使用することができる。この目的のためには、行列H^sのt-1個の下側ブロック行を右にサイクリック・シフトすることによって、ステップ1'を変更する。すなわち、最も下のブロック行が、t-1位置だけシフトされ、次に上のブロック行が、t-2位置だけシフトされる。その後、ステップ2'を、そのようにして得られた行列の左下のtp×tp部分行列だけに適用して、ほぼ三角形の新しい行列をもたらす。行列全体が、ほぼ三角行列であり、4サイクルがなく、「Comparison of constructions of irregular Gallager codes (マッケイ (D. J. C. MacKay)、ウィルソン (S. T. Wilson)、およびダベイ (M. C. Davey) 共著/IEEE Trans. on Communications, Vol. 47, No. 10, pp. 1449-1454/1999年10月)」と、「Efficient encoding of low-density parity-check codes (リチャードソン (R. Richardson) およびウルバンケ (R. L. Urbanke) 共著/IEEE Trans. on Information Theory, Vol. 47, No. 2, pp. 638-656/2001年2月)」に従う高速LDPC符号化に直接に使用することができる。

【0049】やはり、ステップ2'の終りに得られる行列を、行方向および列方向に切り詰めて、符号語長およびパリティ検査数の特定の値を達成することができる。

【0050】本発明のいくつかの実施形態では、パリティ検査行列を、通信チャネル20を介する受信機への送信装置10の接続の際に、行列定義ロジック300によって定義することができる。たとえば、行列を、通信チャネル20の端点間で折衝された次元に基づいて、接続時に行列定義ロジック300によって作成することができる。具体的に言うと、パリティ検査行列を、受信機から送信装置10へのコード・パラメータ170の供給に基づいて決定することができる。本発明の他の実施形態では、パリティ検査行列を、接続が確立される前に、行列定義ロジック300によって定義することができる。たとえば、1つまたは複数のパリティ検査行列を、行列定義ロジック300内で事前設定することができ、各事前設定された行列が、事前設定されたコード長(列数)および事前設定されたパリティ検査数(行数)を有する。複数の事前設定された行列を有する実施形態では、接続の確立時に、適当な行列が、行列定義ロジック300に対して選択される。そのような選択は、たとえば、前に説明したように通信チャネル20の端点間の折衝に基づいて実行することができる。

【0051】本発明の好ましい実施形態を、これまでは通信システムに関して説明した。しかし、本発明は、そのようなシステムへの適用に制限されない。たとえば、

図8を参照すると、前に説明したエンコーダ110の実施形態を、情報源40からのデータをハード・ディスク・ストレージ・チャネルなどのストレージ・チャネルに記憶するデータ記憶システム210で使用することもできる。

【0052】本明細書で前に説明した送信装置10、エンコーダ110、および行列ジェネレータ160のそれぞれを、(1) ハードワイヤード・ロジックによって、(2) コンピュータ・プログラム・コードを用いてプログラムされた汎用プロセッサ/専用デジタル信号プロセッサによって、または(3) ハードワイヤード・ロジックとコンピュータ・プログラム・コードの組み合わせによって、実施できることを諒解されたい。たとえば、図9を参照すると、前に図2に関して説明したデータ通信システムで、送信装置10に、メモリ410に接続されたプログラマブル・デジタル信号プロセッサ(DSP)400を含めることができ、メモリ410にコンピュータ・プログラム・コード420が記憶され、コンピュータ・プログラム・コード420が、DSP400によって実行される時に、図5に関して前に説明した方法のステップを実行するようにDSP400を構成する。

【0053】本明細書で好ましい実施形態に関して本発明を説明したが、当業者は、本発明の範囲から逸脱せずに、形態および詳細におけるさまざまな変更を行うことができることを諒解するであろう。

【0054】まとめとして、本発明の構成に関して以下の事項を開示する。

【0055】(1) データの低密度パリティ検査(LDPC)符号化の方法であって、第1のM×Nパリティ検査行列を定義するステップと、前記第1のパリティ検査行列に基づいて、三角行列であるM×M部分行列を有する第2のパリティ検査行列を生成するステップと、前記第2のパリティ検査行列に基づいて、前記データをLDPC符号語にマッピングするステップと、を含む方法。

(2) 前記第2のパリティ検査行列から4サイクルを除去するステップをさらに含む、上記(1)に記載の方法。

(3) 前記第1のパリティ検査行列の前記定義が、前記第1のパリティ検査行列の行のサイクリック・シフトを含む、上記(1)に記載の方法。

(4) 前記M×M部分行列の主対角線に沿った要素に同一の値をセットするステップを含む、上記(1)に記載の方法。

(5) データの低密度パリティ検査(LDPC)符号化装置であって、第1のM×Nパリティ検査行列を定義する手段と、前記第1のパリティ検査行列に基づいて、三角行列であるM×M部分行列を有する第2のパリティ検査行列を生成する手段と、前記第2のパリティ検査行列に基づいて、前記データをLDPC符号語にマッピングする手段と、を含む装置。

(6) 前記第2のパリティ検査行列を生成する手段が、前記第2のパリティ検査行列から4サイクルを除去する手段をさらに含む、上記(5)に記載の装置。

(7) 前記第1のパリティ検査行列を定義する手段が、前記第1のパリティ検査行列の行をサイクリック・シフトする、上記(5)に記載の装置。

(8) 前記第1のパリティ検査行列を定義する手段が、前記 $M \times M$ 部分行列の主対角線に沿った要素に同一の値をセットする、上記(5)に記載の装置。

(9) データの低密度パリティ検査(LDPC)符号化プログラムであって、前記符号化プログラムが、コンピュータ・システムに、第1の $M \times N$ パリティ検査行列を定義する手順と、前記第1のパリティ検査行列に基づいて、三角行列である $M \times M$ 部分行列を有する第2のパリティ検査行列を生成する手順と、前記第2のパリティ検査行列に基づいて、前記データをLDPC符号語にマッピングする手順と、を実行させるプログラム。

(10) 前記第2のパリティ検査行列から4サイクルを除去する手順をさらにコンピュータ・システムに実行させる、上記(9)に記載のプログラム。

(11) 前記第1のパリティ検査行列の定義が、前記第1のパリティ検査行列のサイクリック・シフトを含む、上記(9)に記載のプログラム。

(12) データの低密度パリティ検査(LDPC)符号化プログラムを格納したコンピュータ読み取り可能な記憶媒体であって、前記符号化プログラムが、コンピュータ・システムに、第1の $M \times N$ パリティ検査行列を定義する手順と、前記第1のパリティ検査行列に基づいて、三角行列である $M \times M$ 部分行列を有する第2のパリティ検査行列を生成する手順と、前記第2のパリティ検査行列に基づいて、前記データをLDPC符号語にマッピングする手順と、を実行させるプログラムを格納したコンピュータ読み取り可能な記憶媒体。

(13) 通信チャネルを介して情報源から受信したデータを送信し、前記データを低密度パリティ検査(LDPC)符号語に符号化するデータ通信装置であって、第1の $M \times N$ パリティ検査行列を定義する手段と、前記第1のパリティ検査行列に基づいて、三角行列である $M \times M$ 部分行列を有する第2のパリティ検査行列を生成する手段と、前記第2のパリティ検査行列に基づいて、前記データをLDPC符号語にマッピングする手段と、を含むデータ通信装置。

(14) データ・ストレージ・チャネル内の情報源から受信したデータを記憶し、前記データを低密度パリティ

検査(LDPC)符号語に符号化するデータ記憶装置であって、第1の $M \times N$ パリティ検査行列を定義する手段と、前記第1のパリティ検査行列に基づいて、三角行列である $M \times M$ 部分行列を有する第2のパリティ検査行列を生成する手段と、前記第2のパリティ検査行列に基づいて、前記データをLDPC符号語にマッピングする手段と、を含むデータ記憶装置。

【図面の簡単な説明】

【図1】通信システムのブロック図である。

【図2】通信システムの送信装置のブロック図である。

【図3】通信システムのもう1つの送信装置のブロック図である。

【図4】送信装置の行列ジェネレータのブロック図である。

【図5】送信装置のエンコーダ機能に対応する流れ図である。

【図6】行列ジェネレータに対応する流れ図である。

【図7】行列ジェネレータに対応するもう1つの流れ図である。

【図8】データ記憶システムのブロック図である。

【図9】通信システムの送信装置のもう1つの例のブロック図である。

【符号の説明】

10 送信装置

20 通信チャネル

30 情報ビット

40 情報源

50 シンボル

100 分割器

110 エンコーダ

120 シンボル・マッパー

130 第1のグループ

140 第2のグループ

150 ブロック・コード

160 行列ジェネレータ

170 コード・パラメータ

210 データ記憶システム

300 行列定義ロジック

310 三角行列ジェネレータ

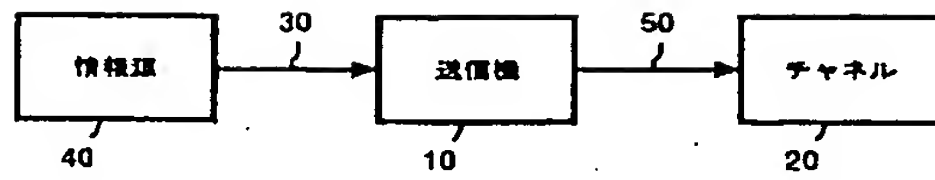
320 第1の $M \times N$ パリティ検査行列

400 プログラマブル・デジタル信号プロセッサ(DSP)

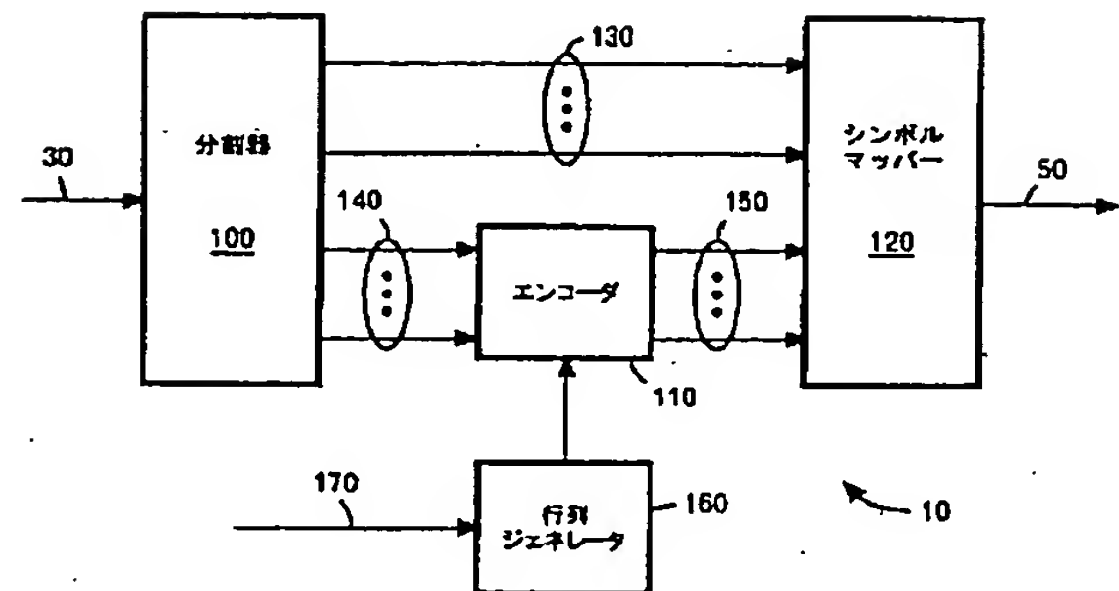
410 メモリ

420 コンピュータ・プログラム・コード

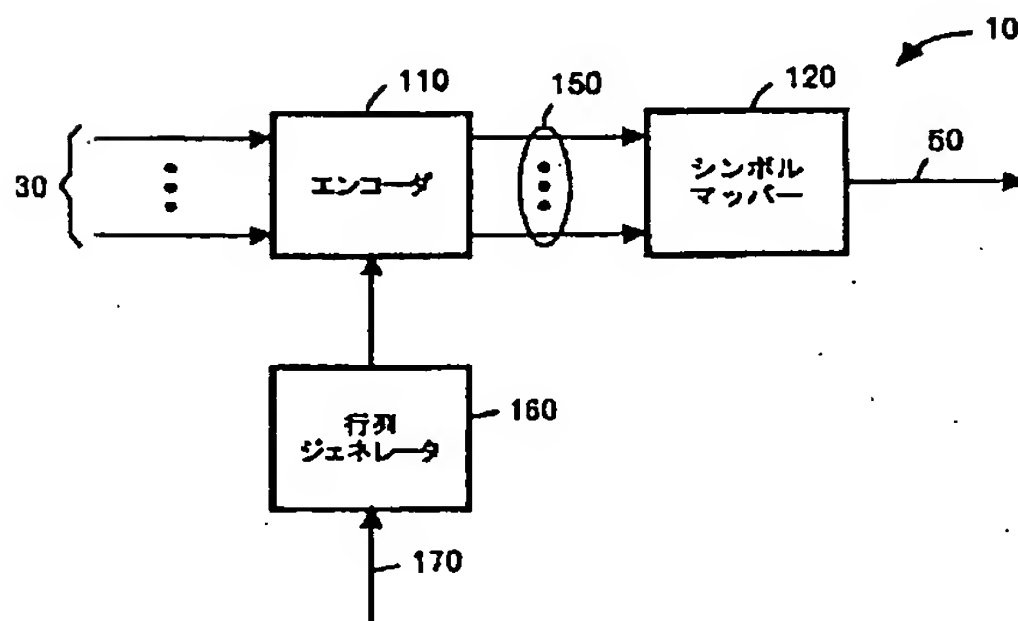
【図1】



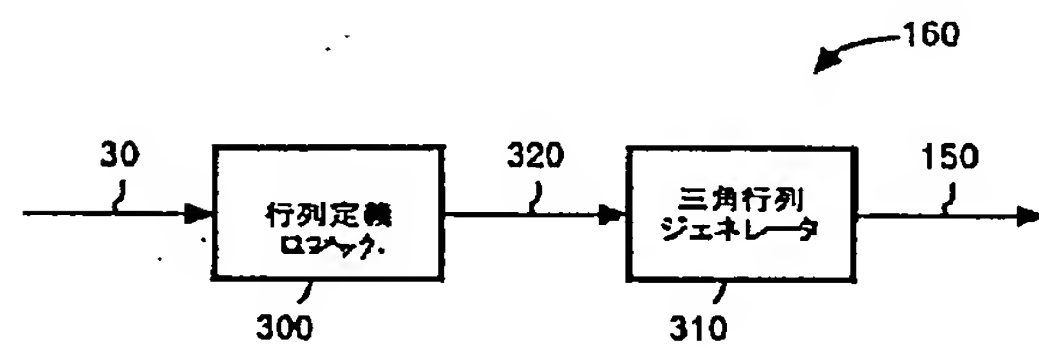
【図2】



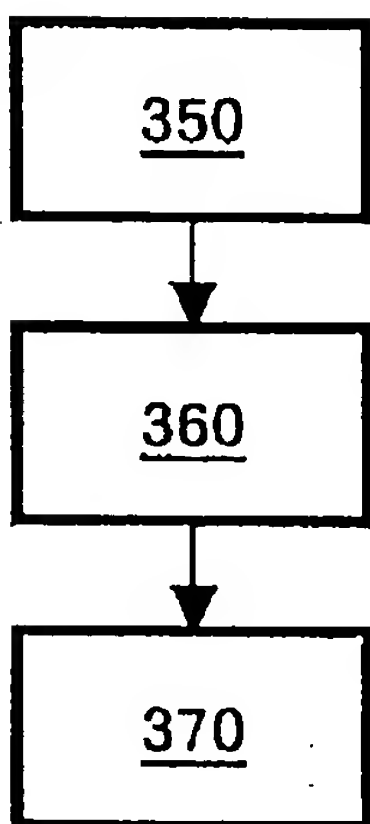
【図3】



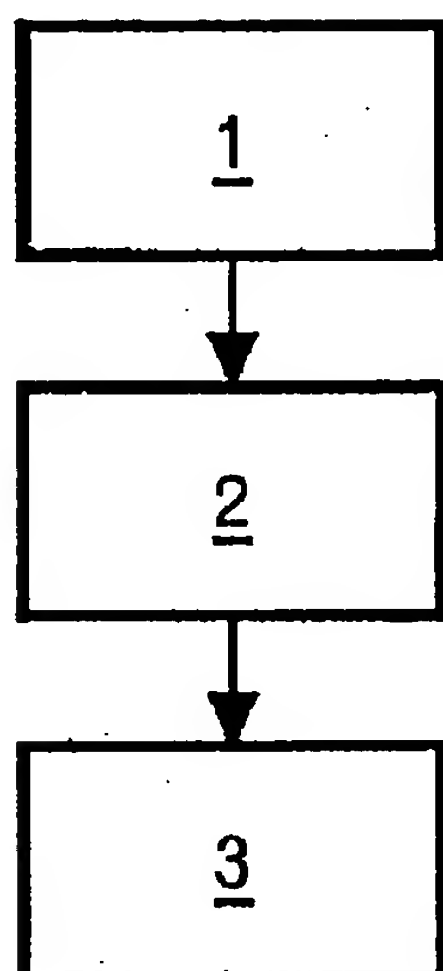
【図4】



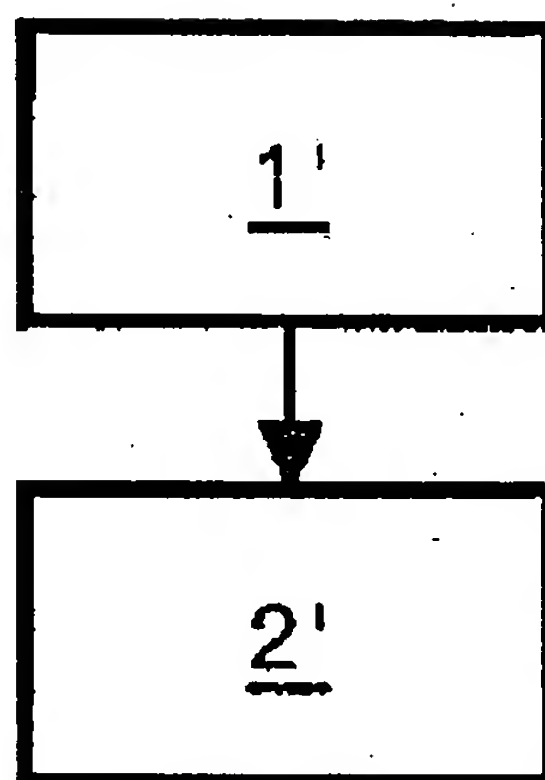
【図5】



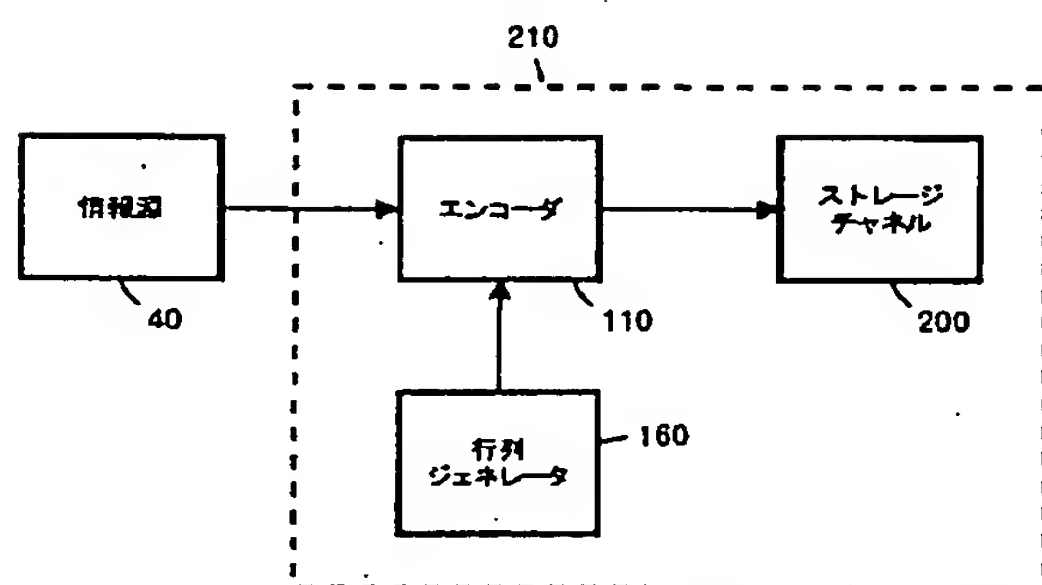
【図6】



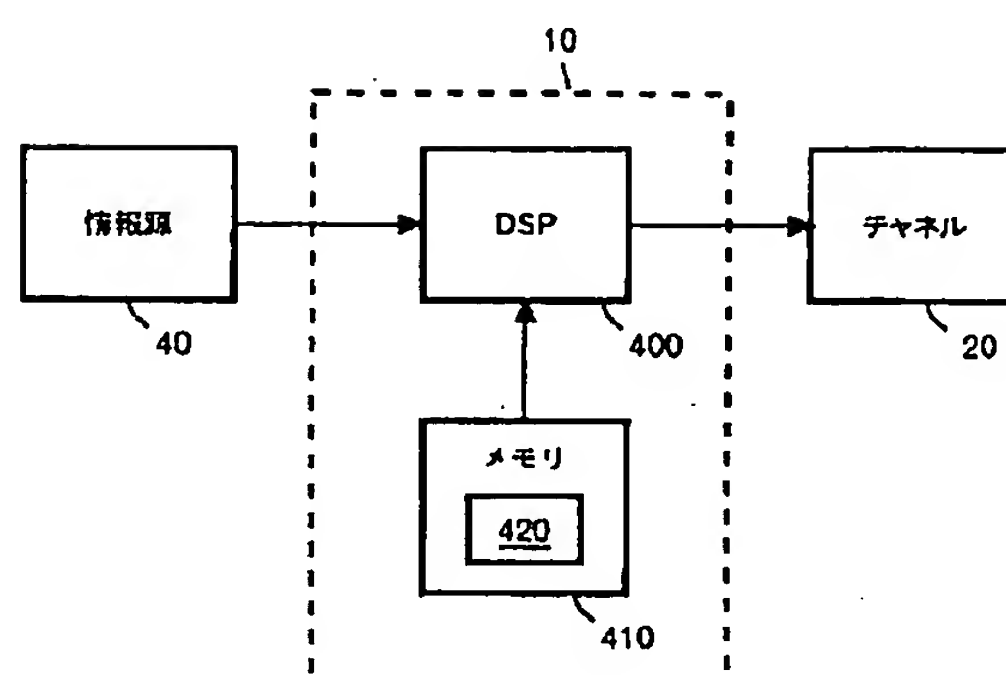
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 エバングロス・スタフロス・エレフセリウ
スイス8038 チューリッヒ ベラリアシュ
トラーセ 53

(72)発明者 リチャード・レオ・ガルブレイス
アメリカ合衆国55902 ミネソタ州ロチェ
スター ウェンデー・レーン サウス・ウ
エスト 5225

(72)発明者 セダト・ウルサー

スイス シーエイチー8804 アウ アプフ
エルマッテ 17

Fターム(参考) 5J065 AA01 AA03 AB01 AC02 AC03
AD02 AD06 AE06 AF03 AH01
AH06
5K014 AA01 BA02